

Requested Patent: JP2002093188A

Title: SEMICONDUCTOR MEMORY ;

Abstracted Patent: JP2002093188 ;

Publication Date: 2002-03-29 ;

Inventor(s): SHIRATAKE SHINICHIRO ;

Applicant(s): TOSHIBA CORP ;

Application Number: JP200000273658 20000908 ;

Priority Number(s): ;

IPC Classification: G11C29/00; G11C11/401 ;

Equivalents: ;

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a column redundancy control circuit for a semiconductor memory, in which the number of elements and a chip size are reduced by drastically simplifying a circuit for replacing a faulty column by a redundancy column. SOLUTION: In an address multiplex DRAM where a row address precedes a column address, the column redundancy circuits, which have a latch circuit where plural fuse elements presenting faulty states of the plural row areas are connected with a common node or discharge node in parallel via selected transistors, are made to operate by using a higher bit of the row address as an area address of a column selection line divided into the plural row areas, then only one latch circuit has to be arranged to the plural row areas, therefore, the circuit configuration is drastically simplified by reducing the latch circuits, which have conventionally been arranged for individual fuse elements, to only one latch circuit to one bit of a faulty column address, and this makes it possible to reduce the number of elements of the semiconductor device and reduce a chip size.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-93188
(P2002-93188A)

(43)公開日 平成14年3月29日(2002.3.29)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 1 1 C 29/00	6 0 3	G 1 1 C 29/00	6 0 3 K 5 B 0 2 4
			6 0 3 J 5 L 1 0 6
11/401		11/34	3 7 1 D

審査請求 未請求 請求項の数14 O L (全 12 頁)

(21)出願番号 特願2000-273658(P2000-273658)

(22)出願日 平成12年9月8日(2000.9.8)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 白武 慎一郎

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

Fターム(参考) 5B024 AA07 BA23 BA29 CA13 CA17

5L106 AA01 CC04 CC08 CC13 CC17

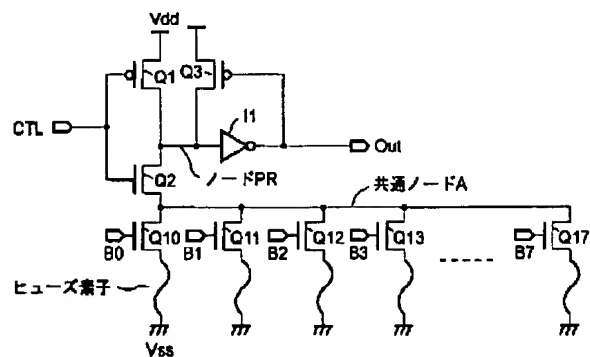
CC21 CC32 CC07

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】不良カラムを冗長カラムに置き換える回路を大幅に簡素化し素子数とチップサイズを縮小する半導体記憶装置のカラム冗長制御回路を提供する。

【解決手段】ロウアドレスがカラムアドレスに先行するアドレスマルチプレックスDRAMにおいて、複数のロウ領域に分割されたカラム選択線の領域アドレスとしてロウアドレスの上位ビットを用いて、複数のロウ領域の不良状態をあらわす複数のヒューズ素子が選択トランジスタを介して共通ノード又は放電ノードに並列に接続されたラッチ回路を有するカラム冗長制御回路を動作させれば、複数のロウ領域に対してラッチ回路を1個設ければ良いので、ヒューズ素子ごとに設けていた従来のラッチ回路を不良カラムアドレスの1ビットに対して1個のみにすることにより回路構成が大幅に簡素化され、半導体記憶装置の素子数の減少とチップサイズの縮小を図ることが可能になる。



【特許請求の範囲】

【請求項1】 活性状態において第1、第2の電圧レベルのいずれか1つを保持するラッチ回路と、
このラッチ回路に選択的に接続され、第1、第2の状態のいずれか1つを記憶する複数の不揮発性記憶素子とを備え、
前記不揮発性記憶素子の状態が前記第1の状態であれば前記ラッチ回路に保持される電圧レベルは第1の電圧レベルであり、
前記不揮発性記憶素子の状態が第2の状態であれば前記ラッチ回路に保持される電圧レベルは第2の電圧レベルであることを特徴とするカラム冗長制御回路を有する半導体記憶装置。

【請求項2】 前記半導体記憶装置はアドレス端子に時系列的にロウアドレスとカラムアドレスとが入力されるものであって、前記カラムアドレスに基づいて選択的に複数のカラム選択信号と冗長カラム選択信号とを生成し、
前記カラム冗長制御回路は先に入力されるロウアドレスを用いて前記不揮発性記憶素子を前記ラッチ回路に選択的に接続し、後に入力されるカラムアドレスと前記ラッチ回路に保持される電圧レベルとの論理演算により前記冗長カラム選択信号を活性化するか否かを決定することを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記半導体記憶装置はメモリコア部に複数の冗長メモリセル群を具備し、前記カラム冗長制御回路は前記ラッチ回路を複数有し、前記複数のラッチ回路の出力と前記メモリコア部に含まれるメモリセル群のアドレスビットとを比較して一致すれば前記メモリセル群を前記冗長メモリセル群と置き換えてアクセスする回路を備えることを特徴とする請求項1記載の半導体記憶装置。

【請求項4】 前記半導体記憶装置はメモリコア部に複数の冗長メモリセル群を具備し、前記メモリコア部に含まれるメモリセル群を前記冗長メモリセル群と置き換えてアクセスする回路はカラム選択線を冗長カラム選択線に置き換える機能を有することを特徴とする請求項1記載の半導体記憶装置。

【請求項5】 前記カラム冗長制御回路は放電ノードを具備し、前記放電ノードは、前記半導体記憶装置のワード線を選択するロウアドレスストロブにおけるアドレスの少なくとも一部を用いて前記複数の不揮発性記憶素子のいずれか1つに接続されることを特徴とする請求項1記載の半導体記憶装置。

【請求項6】 前記半導体記憶装置のワード線を選択するロウアドレスストロブにおけるアドレスは、前記半導体記憶装置のカラム選択線を選択するカラムアドレスストロブにおけるアドレスに先んじて半導体チップに入力されることを特徴とする請求項1記載の半導体記憶装置。

【請求項7】 前記半導体記憶装置のロウアドレスストロブにおけるアドレス及び前記半導体記憶装置のカラムアドレスストロブにおけるアドレスの少なくとも一部は、共通のアドレス端子を介して前記半導体チップの外部から入力されることを特徴とする請求項1記載の半導体記憶装置。

【請求項8】 前記カラム冗長制御回路は共通ノード又は放電ノードを備え、前記共通ノード又は放電ノードに接続される複数の不揮発性記憶素子の数は2のべき乗数であることを特徴とする請求項1記載の半導体記憶装置。

【請求項9】 前記不揮発性記憶素子はヒューズ素子であって、前記不揮発性記憶素子の第1の状態はヒューズ素子の導通状態であり第2の状態はヒューズ素子の遮断状態であることを特徴とする請求項1記載の半導体記憶装置。

【請求項10】 前記カラム冗長制御回路は、前記ヒューズ素子の遮断状態と導通状態に応じて保持される第1、第2の電圧レベルを出力するラッチ回路を備え、
前記ラッチ回路のヒューズ素子は一方の端子が第1の電源端子に接続され、他方の端子が選択トランジスタを介して前記ラッチ回路の共通ノードに接続された複数のヒューズ素子からなり、
前記共通ノードはスイッチングトランジスタを介して放電ノードに接続され、
前記放電ノードは前記ラッチ回路の待機状態において第2の電源端子の電圧にプリチャージされ、前記ラッチ回路の活性状態において前記複数のヒューズ素子のいずれか1つに電氣的に接続され、
前記複数のヒューズ素子のいずれか1つが遮断状態であれば前記放電ノードの電圧は前記第2の電源端子の電圧に保持され、導通状態であれば前記放電ノードの電圧は前記第1の電源端子の電圧に保持されることを特徴とする請求項9記載の半導体記憶装置。

【請求項11】 前記カラム冗長制御回路は、ヒューズ素子の遮断状態と導通状態に応じて保持される第1、第2の電圧レベルを出力するラッチ回路を備え、
前記ラッチ回路のヒューズ素子は一方の端子が第1の電源端子に接続され、他方の端子がそれぞれ選択トランジスタ及びスイッチングトランジスタを介して前記ラッチ回路の放電ノードに接続された複数のヒューズ素子からなり、
前記放電ノードは前記ラッチ回路の待機状態において第2の電源端子の電圧にプリチャージされ、前記選択トランジスタのいずれか1つを選択的に活性化することにより前記ラッチ回路の活性状態において前記複数のヒューズ素子のいずれか1つに電氣的に接続され、
前記放電ノードに接続されたヒューズ素子が遮断状態であれば前記放電ノードの電圧は前記第2の電源端子の電圧に保持され、導通状態であれば前記放電ノードの電圧

は前記第1の電源端子の電圧に保持されることを特徴とする請求項9記載の半導体記憶装置。

【請求項12】 前記カラム冗長制御回路は、ヒューズ素子の遮断状態と導通状態に応じて保持される第1、第2の電圧レベルを出力するラッチ回路を備え、前記ラッチ回路のヒューズ素子は一方の端子が第1の電源端子に接続され、他方の端子が選択トランジスタを介して前記ラッチ回路の放電ノードに接続された複数のヒューズ素子からなり、前記放電ノードは前記ラッチ回路の待機状態において第2の電源端子の電圧にプリチャージされ、前記選択トランジスタのいずれか1つを選択的に活性化することにより前記ラッチ回路の活性状態において前記複数のヒューズ素子のいずれか1つに電気的に接続され、前記放電ノードに接続されたヒューズ素子が遮断状態であれば前記放電ノードの電圧は前記第2の電源端子の電圧に保持され、導通状態であれば前記放電ノードの電圧は前記第1の電源端子の電圧に保持されることを特徴とする請求項9記載の半導体記憶装置。

【請求項13】 前記カラム冗長制御回路は、ヒューズ素子の遮断状態と導通状態に応じて保持される第1、第2の電圧レベルを出力するラッチ回路を備え、前記ラッチ回路のヒューズ素子は一方の端子が第1の電源端子に接続され、他方の端子が選択トランジスタを介して前記ラッチ回路の放電ノードに接続された複数のヒューズ素子からなり、前記放電ノードは互いに直列に接続された第1、第2のスイッチングトランジスタを介して第2の電源端子に接続され、前記第1、第2のスイッチングトランジスタのゲートには一定の遅延時間において第1、第2の制御信号が入力され、前記放電ノードは前記ラッチ回路の待機状態において第2の電源端子の電圧にプリチャージされ、前記選択トランジスタのいずれか1つを選択的に活性化することにより前記ラッチ回路の活性状態において前記複数のヒューズ素子のいずれか1つに電気的に接続され、前記放電ノードに接続されたヒューズ素子が遮断状態であれば前記放電ノードの電圧は前記第2の電源端子の電圧に保持され、導通状態であれば前記放電ノードの電圧は前記第1の電源端子の電圧に保持されることを特徴とする請求項9記載の半導体記憶装置。

【請求項14】 前記カラム冗長制御回路は、ヒューズ素子の遮断状態と導通状態に応じて保持される第1、第2の電圧レベルを出力するラッチ回路を備え、前記ラッチ回路のヒューズ素子は一方の端子が第1の電源端子に接続され、他方の端子が選択トランジスタを介して前記ラッチ回路の放電ノードに接続された複数のヒューズ素子からなり、前記選択トランジスタは第1の制御信号に同期して前記

複数のヒューズ素子のいずれか1つを選択し、

前記放電ノードは前記ラッチ回路の待機状態において第2の電源端子の電圧にプリチャージされ、前記放電ノードに接続されたヒューズ素子1つを選択的に活性化することにより前記ラッチ回路の活性状態において第2の制御信号に同期して前記複数のヒューズ素子のいずれか1つに電気的に接続され、前記放電ノードに接続されたヒューズ素子が遮断状態であれば前記放電ノードの電圧は前記第2の電源端子の電圧に保持され、導通状態であれば前記放電ノードの電圧は前記第1の電源端子の電圧に保持され、かつ、前記第1の制御信号が有効である期間は前記第2の制御信号が有効である期間内に含まれることを特徴とする請求項9記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体記憶装置に係り、特にロウアドレスとカラムアドレスを時分割で入力する半導体記憶装置において、不良発生の際カラム選択線を冗長カラム選択線に置き換えることができるカラム冗長制御回路に関するものである。

【0002】

【従来の技術】従来のDRAM等の半導体記憶装置には、製造過程で不良の発生したメモリセルを製造過程終了後の試験を経て冗長メモリセルに置き換えるものがある。このとき、置き換えの対象となるのは、ロウアドレスに従って活性化されるワード線や、カラムアドレスに従って活性化されるカラム選択線に接続された不良ビットを含む一群のメモリセルである。以下、本発明に直接関連するカラム選択線の置き換えによるDRAMの不良ビットの救済について説明する。

【0003】不良の発生したメモリセルを含むカラム選択線を置き換えるために、通常、カラム選択線と同一構成の冗長カラム選択線が用意され、冗長カラム選択線には通常のカラム選択線と同様に一群の冗長メモリセルが接続される。1本のカラム選択線は1組のカラムアドレスにより選択される。

【0004】一方、製造過程終了後の試験において、不良が発生したメモリセルを含むカラム選択線のカラムアドレス（不良カラムアドレス）は、ヒューズ素子の導通又は切断等により不揮発的に記憶される。また、不良の発生したカラム選択線と冗長カラム選択線との置き換えは、与えられたカラムアドレスと不良カラムアドレスとを比較し、一致すれば冗長カラム選択線を活性化することにより行われる。以下これを冗長判定と呼ぶ。

【0005】ヒューズ素子への不良カラムアドレスの記録は、製造及び試験の終了後レーザビーム等を用いてヒューズ素子を切断することにより行われる。このようなヒューズ素子の切断の有無を、高レベル“H”、又は低レベル“L”としてラッチし出力する回路は、例えば赤

崎(特開平11-353891)により開示されている。次に図12を用いて赤崎により開示されたヒューズ素子のラッチ回路の構成と動作を詳細に説明する。

【0006】図12に示すヒューズ素子のラッチ回路は、一方の端子がノードPRに接続され他方の端子がV_{dd}電源に接続されたヒューズ素子と、ノードPRとV_{ss}電源(接地)との間に直列に接続されたNチャネルトランジスタQ11、Q12と、ノードPRとV_{ss}電源との間に接続されたNチャネルトランジスタQ13及びインバータI11からなるラッチ回路と、出力側のインバータI12から構成される。

【0007】なお、NチャネルトランジスタQ12のゲートにはV_{dd}が印加され、NチャネルトランジスタQ11のゲートにはラッチ回路の制御信号TGが入力される。出力信号OutはインバータI12から出力される。

【0008】次に図12に示すヒューズ素子のラッチ回路の動作を説明する。制御信号TGがパルス電位“H”として一旦入力されると、ヒューズ素子が切断されている場合にはノードPRがオン状態のNチャネルトランジスタQ11、Q12を介して接地されるので、ノードPRは“L”となりラッチ回路の出力Outは“L”となる。

【0009】また、ヒューズ素子が導通している場合には、ノードPRはヒューズ素子を介してV_{dd}電源に接続されるので、ノードPRは“H”となり、ラッチ回路の出力Outは“H”となる。このようにして、ヒューズ素子の切断と導通がラッチ回路の出力Outの“L”、“H”として出力される。

【0010】次に、ラッチ回路の出力Outを用いて、与えられたカラムアドレスと不良カラムアドレスとを比較し、不良カラムを冗長カラムに置き換えるカラム冗長制御回路のブロック構成と動作について説明する。

【0011】図13に示すカラム冗長制御回路は、カラムデコーダ10と、例えば7個のヒューズ素子のラッチ回路20乃至26と、アドレス比較器30から構成される。7ビットのカラムアドレスが入力され、カラムデコーダ10により、128本(2⁷本)のカラム選択線CSL0乃至CSL127の内いずれか(CSLj)が活性化される。

【0012】一方、先に説明したヒューズ素子のラッチ回路20乃至26が用意され、これら7個の出力Outの組み合わせが不良カラムアドレスを示す7ビットの記録データとして出力される。アドレス比較器30は、CSLjに対応するカラムアドレスが不良カラムアドレスを示す7ビットの記録データと一致するか否かを判定し、一致すれば一致信号を出力して、冗長カラム選択線(冗長CSL)が活性化され、CSLjと置き換えられる。

【0013】しかし、1本のカラム選択線CSLjは、

通常、非常に多数のワード線WLと交差するように構成される。例えば、メモリセルアレイが4kワード構成では、4096本、8kワード構成では8192本、16kワード構成では16384本のワード線WLと交差し、1箇所の不良メモリセルをカラム選択線CSLj全体で置き換えると、カラム選択線CSLjにつながる非常に多くの正常なメモリセルが同時に冗長メモリセルに置き換えられることになる。

【0014】例えば、カラム選択線CSLjとワード線WLとの交点に1つのメモリセルが接続される場合、16kワード構成では16k個のメモリセル全てが冗長メモリセルに置き換えられる。不良の多発に備えて多数の冗長CSLを用意すれば、これら全ての冗長CSLに16k個のメモリセルがそれぞれ接続されるため、冗長CSLの占めるチップ面積が大きくなり望ましくない。

【0015】この問題を回避するため、カラム選択線を複数の領域に分割し、各領域においてそれぞれ冗長判定を行うカラム冗長制御回路が知られている。このようなカラム冗長制御回路のブロック構成を図14に示す。

【0016】図14に示すカラム冗長制御回路は、カラムデコーダ10と、例えば7個のヒューズ素子のラッチ回路群60乃至66と、アドレス比較器30と、領域選択信号生成回路40と、8個のロウデコーダ50乃至57から構成される。それぞれのヒューズ素子のラッチ回路群60乃至66は、図16に示すように8個のヒューズラッチ回路20乃至27から構成される。8個のロウデコーダ50乃至57は各128本のワード線WLからなる8個のロウ領域100乃至107の全てのワード線WLを選択する機能を有する。

【0017】次に、図14に示すカラム冗長制御回路の動作を説明する。例えば、10ビットのロウアドレスR0乃至R9が計8個のロウデコーダ50乃至57に入力され、1024本(2¹⁰本)のワード線WLのいずれかが1つが選択される。ここで、1024本のワード線WLは、各128本のごとに8分割され、メモリセルアレイは、各128本のワード線を含む8個のロウ領域100乃至107に分割される。これら8個のロウ領域100乃至107の選択は、ロウアドレスR0乃至R9の上位3ビットR7乃至R9により行われ、カラム冗長判定はこれら8個のロウ領域100乃至107において、それぞれ独立に行われる。

【0018】例えば、ロウ領域101においてi番目のカラム選択線CSLiに接続されたメモリセルの不良を回避するため、ロウ領域101内のカラム選択線CSLiのメモリセルをロウ領域101内の冗長CSLのメモリセルに置き換え、同時にロウ領域102においてj番目のカラム選択線CSLjに接続されたメモリセルに発生した不良を回避するため、ロウ領域102内のカラム選択線CSLjのメモリセルをロウ領域102内の冗長CSLのメモリセルに置き換える。このため、図14に

示す7個のヒューズ素子のラッチ回路群60乃至66は、領域選択信号生成回路40から出力される8ビットの領域選択信号B0乃至B7により制御される。

【0019】図15を用いて領域選択信号生成回路40の具体的な回路構成について説明する。図15に示す領域選択信号生成回路は、インバータI2、I3、及びI4、I5、及びI6、I7からなるロウアドレスの上位3ビットR7乃至R9を入力する3つの入力部と、8個の領域選択信号B0乃至B7を出力する3入力ANDゲートG0乃至G7からなる出力部を備える。

【0020】領域選択信号生成回路は、ロウアドレスの上位3ビットR7乃至R9のデコード回路であって、デコードされた8個の領域選択信号B0乃至B7を出力し、8個のロウ領域100乃至107の内どのロウ領域が活性化されたかを検出する。例えばロウ領域102が活性化された場合には、領域選択信号B2のみが“H”となり他の領域選択信号B0、B1、B3乃至B7は“L”となる。

【0021】次に、図16を用いて7個のヒューズ素子のラッチ回路群60乃至66の構成について説明する。図16に示すように、8個のヒューズ素子のラッチ回路20乃至27の出力部には、スイッチS0乃至S7が各1個ずつ順に接続され、8個のヒューズ素子のラッチ回路20乃至27の出力部は、これらのスイッチS0乃至S7を介して並列に接続される。

【0022】スイッチS0乃至S7は領域選択信号B0乃至B7により制御される。例えばロウ領域102が活性化された場合には、領域選択信号B2のみが“H”となり、ラッチ回路22のヒューズ素子に記録された不良が、スイッチS2を介して出力される。このようにして、分割されたそれぞれのロウ領域ごとに、対応するヒューズにより独立に不良アドレスを設定することができるため、8つのロウ領域にそれぞれ発生した不良を1本の冗長カラム選択線で救済することができる。

【0023】しかし、このようにカラム選択線を8分割したとすれば、不良カラムアドレスの1ビットに対して図12に示すヒューズ素子のラッチ回路が8つ必要になる。従って領域をN分割すればN倍のヒューズ素子のラッチ回路が必要となり、素子数とチップ面積が非常に大となり問題となっていた。

【0024】

【発明が解決しようとする課題】上記したように、複数のロウ領域で独立に冗長判定を行う従来のカラム冗長制御回路では、領域の分割数が多くなるほど回路規模が大きくなるという問題があった。本発明は上記の問題点を解決すべくなされたもので、領域の分割数が多くなっても回路規模の増大を抑制し、素子数やチップ面積において従来より有利なカラム冗長制御回路を提供することを目的とする。

【0025】

【課題を解決するための手段】本発明の半導体記憶装置のカラム冗長制御回路は、カラム選択線の分割された領域を表す領域アドレスがワード線アドレスの上位部であること、及びDRAMではロウアドレスがカラムアドレスに先行するアドレスマルチプレックスが用いられることを利用して、複数のロウ領域の不良状態をあらゆる複数のヒューズ素子等の不揮発性記憶素子が選択トランジスタを介して共通ノード又は放電ノードに接続されたラッチ回路を含むカラム冗長制御回路を動作させれば、複数のロウ領域に対して1個のラッチ回路を設ければ良いので、従来、ヒューズ素子ごとに設けていたラッチ回路を、不良カラムアドレスの1ビットに対して1つのみとすることにより回路構成を簡素化し、素子数の減少とチップサイズの縮小を図ることを特徴とする。

【0026】具体的には、本発明のカラム冗長制御回路を有する半導体記憶装置は、活性状態において第1、第2の電圧レベルのいずれか1つを保持するラッチ回路と、このラッチ回路に選択的に接続され、第1、第2の状態のいずれか1つを記憶する複数の不揮発性記憶素子とを備え、前記ラッチ回路に選択的に接続される前記不揮発性記憶素子の状態が第1の状態であれば前記ラッチ回路に保持される電圧レベルは第1の電圧レベルであり、前記不揮発性記憶素子の状態が第2の状態であれば前記ラッチ回路に保持される電圧レベルは第2の電圧レベルであることを特徴とする。

【0027】好ましくは前記半導体記憶装置は、アドレス端子に時系列的にロウアドレスとカラムアドレスとが入力されるものであって、前記カラムアドレスに基づいて選択的に複数のカラム選択信号と冗長カラム選択信号とを生成し、前記カラム冗長制御回路は先に入力されるロウアドレスを用いて前記不揮発性記憶素子を前記ラッチ回路に選択的に接続し、後に入力されるカラムアドレスと前記ラッチ回路に保持される電圧レベルとの論理演算により前記冗長カラム選択信号を活性化するか否かを決定することを特徴とする。

【0028】また、好ましくは前記半導体記憶装置はメモリコア部に複数の冗長メモリセル群を具備し、前記カラム冗長制御回路は前記ラッチ回路を複数有し、前記複数のラッチ回路の出力と前記メモリコア部に含まれるメモリセル群のアドレスビットとを比較して一致すれば前記メモリセル群を前記冗長メモリセル群と置き換えてアクセスする回路を備えることを特徴とする。

【0029】また、好ましくは前記半導体記憶装置はメモリコア部に複数の冗長メモリセル群を具備し、前記メモリコア部に含まれるメモリセル群を前記冗長メモリセル群と置き換えてアクセスする回路はカラム選択線を冗長カラム選択線に置き換える機能を有することを特徴とする。

【0030】また、好ましくは前記カラム冗長制御回路は放電ノードを具備し、前記放電ノードは、前記半導体

記憶装置のワード線を選択するロウアドレスストロープにおけるアドレスの少なくとも一部を用いて前記複数の不揮発性記憶素子のいずれか1つに接続されることを特徴とする。

【0031】また、好ましくは前記半導体記憶装置のワード線を選択するロウアドレスストロープにおけるアドレスは、前記半導体記憶装置のカラム選択線を選択するカラムアドレスストロープにおけるアドレスに先んじて半導体チップに入力されることを特徴とする。

【0032】また、好ましくは前記半導体記憶装置のロウアドレスストロープにおけるアドレス及び前記半導体記憶装置のカラムアドレスストロープにおけるアドレスの少なくとも一部は、共通のアドレス端子を介して前記半導体チップの外部から入力されることを特徴とする。

【0033】また、好ましくは前記カラム冗長制御回路は共通ノード又は放電ノードを備え、前記共通ノード又は放電ノードに接続される複数の不揮発性記憶素子の数は2のべき乗数であることを特徴とする。

【0034】また、好ましくは前記不揮発性記憶素子はヒューズ素子であって、前記不揮発性記憶素子の第1の状態はヒューズ素子の導通状態であり、第2の状態はヒューズ素子の遮断状態であることを特徴とする。

【0035】また、好ましくは前記カラム冗長制御回路は、前記ヒューズ素子の遮断状態と導通状態に応じて保持される第1、第2の電圧レベルを出力するラッチ回路を備え、前記ラッチ回路のヒューズ素子は一方の端子が第1の電源端子に接続され、他方の端子が選択トランジスタを介して前記ラッチ回路の共通ノードに接続された複数のヒューズ素子からなり、前記共通ノードはスイッチングトランジスタを介して放電ノードに接続され、前記放電ノードは前記ラッチ回路の待機状態において第2の電源端子の電圧にプリチャージされ、前記ラッチ回路の活性状態において前記複数のヒューズ素子のいずれか1つに電気的に接続され、前記複数のヒューズ素子のいずれか1つが遮断状態であれば前記放電ノードの電圧は前記第2の電源端子の電圧に保持され、導通状態であれば前記放電ノードの電圧は前記第1の電源端子の電圧に保持されることを特徴とする。

【0036】また、好ましくは前記カラム冗長制御回路において、前記ラッチ回路のヒューズ素子は一方の端子が第1の電源端子に接続され、他方の端子がそれぞれ選択トランジスタ及びスイッチングトランジスタを介して前記ラッチ回路の放電ノードに接続された複数のヒューズ素子からなることを特徴とする。

【0037】また、好ましくは前記カラム冗長制御回路において、前記ラッチ回路のヒューズ素子は一方の端子が第1の電源端子に接続され、他方の端子が選択トランジスタを介して前記ラッチ回路の放電ノードに接続された複数のヒューズ素子からなることを特徴とする。

【0038】また、好ましくは前記カラム冗長制御回路

において、前記ラッチ回路のヒューズ素子は一方の端子が第1の電源端子に接続され、他方の端子が選択トランジスタを介して前記ラッチ回路の放電ノードに接続された複数のヒューズ素子からなり、前記放電ノードは互いに直列に接続された第1、第2のスイッチングトランジスタを介して第2の電源端子に接続され、前記第1、第2のスイッチングトランジスタのゲートには一定の遅延時間において第1、第2の制御信号が入力されることを特徴とする。また、前記カラム冗長制御回路において、前記ラッチ回路のヒューズ素子は一方の端子が第1の電源端子に接続され、他方の端子が選択トランジスタを介して前記ラッチ回路の放電ノードに接続された複数のヒューズ素子からなり、前記選択トランジスタは第1の制御信号に同期して前記複数のヒューズ素子のいずれか1つを選択し、前記放電ノードは前記ラッチ回路の待機状態において第2の電源端子の電圧にプリチャージされ、前記放電ノードに接続されたヒューズ素子1つを選択的に活性化することにより前記ラッチ回路の活性状態において第2の制御信号に同期して前記複数のヒューズ素子のいずれか1つに電気的に接続され、かつ、前記第1の制御信号が有効である期間は前記第2の制御信号が有効である期間内に含まれることを特徴とする。

【0039】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明の第1の実施の形態に係る半導体記憶装置のカラム冗長制御回路におけるヒューズ素子のラッチ回路の構成を示す図である。本発明では、先に図14を用いて説明した半導体記憶装置のカラム冗長制御回路において、各1個のヒューズ素子を有する8個のラッチ回路20乃至27を、8個のヒューズ素子を有する1個のラッチ回路に置き換えることに特徴がある。

【0040】図1に示すヒューズ素子のラッチ回路は、制御信号CTLの入力部におけるPチャネルトランジスタQ1、及びNチャネルトランジスタQ2からなる相補型インバータと、相補型インバータの出力ノード（放電ノードPR）に接続されたインバータI1及びPチャネルトランジスタQ3からなるラッチ回路と、NチャネルトランジスタQ2を介してノードPRに接続された共通ノードAと、共通ノードAに並列に接続された8個のNチャネルトランジスタQ10乃至Q17と、8個のNチャネルトランジスタQ10乃至Q17にそれぞれ接続された8個のヒューズ素子から構成される。

【0041】なお、トランジスタQ1、Q3にはVdd電源が接続され、8個のヒューズ素子の一方の端子はVss（接地）に接続される。出力信号Outは、インバータI1の出力部から取り出される。8個のNチャネルトランジスタQ10乃至Q17のゲートには、それぞれ図15に示す領域選択信号生成回路から出力された領域選択信号B0乃至B7が入力される。

【0042】先に述べたように、図1に示すヒューズラッチ回路において、ロウアドレスの上位3ビットR7乃至R9がデコードされた8個の領域選択信号B0乃至B7の内、選択されたロウ領域に対応する1つの領域選択信号のみが“H”となり、その他の領域選択信号は全て“L”となる。従って共通ノードAには“H”状態の領域選択信号により選択された1個のヒューズ素子のみが接続される。

【0043】ここで、制御信号CTLはラッチ回路の待機状態で“L”、活性状態で“H”となる。制御信号CTLが“L”であればPチャネルトランジスタQ1がオン状態となり、ノードPRはPチャネルトランジスタQ1を介してVddに接続されるため“H”にプリチャージされる。

【0044】次に、制御信号CTLが“H”になれば、PチャネルトランジスタQ1はオフ状態、NチャネルトランジスタQ2はオン状態になりノードPRと共通ノードAとはNチャネルトランジスタQ2を介して電氣的に接続される。ここで、“H”状態の領域選択信号をNチャネルトランジスタQ10乃至Q17のゲート入力することにより選択された1個のヒューズ素子が導通している場合には、ノードPRに蓄えられた電荷は、NチャネルトランジスタQ2、共通ノードA、領域選択信号により選択されたNチャネルトランジスタQ10乃至Q17のいずれか1つ、及びこれに接続されたヒューズ素子を介してVssに放電され、ノードPRの電位はVssになる。

【0045】一方、選択された1個のヒューズ素子が切断している場合には、Vssへの放電は生じないのでノードPRの電位はVdd、すなわち“H”のままである。従って第1の実施の形態に係るヒューズ素子のラッチ回路のインバータI1からの出力Outは、領域選択信号B0乃至B7により選択された図14に示すロウ領域に対応するヒューズが切断されていれば“L”、導通していれば“H”となる。

【0046】第1の実施の形態に係るヒューズ素子のラッチ回路の動作タイミング波形を、図2に示す。ロウアドレスの上位3ビット、R7乃至R9のデコードされた領域選択信号B0乃至B7のいずれか1つが“H”になり、他は“L”となることにより、ラッチ回路に含まれる8個のヒューズ素子のいずれか1つが選択される。ここで、制御信号CTLが“H”になれば（ラッチ回路が待機状態から活性状態に移行すれば）、選択された1個のヒューズ素子が切断されている場合には、ラッチ回路の出力Outは“L”、導通してあれば“H”となる。

【0047】第1の実施の形態に係るヒューズ素子のラッチ回路の第1の特徴は、複数のロウ領域の不良状態をあらわす複数のヒューズ素子が選択トランジスタ（NチャネルトランジスタQ10乃至Q17）を介して共通ノードAに接続され、ヒューズ素子のラッチ回路は複数の

ロウ領域に対して1個しか設けないことである。従来、ヒューズ素子ごとに設けていたラッチ回路を、不良カラムアドレスの1ビットに対して1つのみにすることによりトランジスタ数が減少し、チップ面積の小さい半導体記憶装置を実現することができる。

【0048】また、第1実施の形態に係るヒューズ素子のラッチ回路における第2の特徴は、複数のロウ領域を選択する領域選択アドレスとして、ワード線を選択するロウアドレスの上位ビットが用いられることである。このようにロウ領域選択アドレスはロウアドレスの一部であるため、ロウアドレスが入力されればカラム冗長判定に用いられる不良カラムアドレスの出力が確定する。

【0049】例えばDRAMにおいてワード線を選択的に活性化するために入力するRAS (Row Address Strobe) アドレスと、センスアンプにより増幅された複数のデータの内のいずれかを選択するCAS (Column Address Strobe) アドレスを共通のアドレスピンを介して時系列に inputs アドレスマルチプレックスが用いられる。

【0050】このとき、RASアドレスからCASアドレスまでの時間は、DRAMの仕様で10ナノ秒程度の値が規定されている。一方、ヒューズを介して行われるノードPRにプリチャージされた電荷のVssへの放電には0.5ナノ秒乃至1.0ナノ秒程度の時間が必要である。

【0051】しかし、不良カラムアドレスはロウアドレスに比べて、10ナノ秒程度遅れて入力されるカラムアドレスと比較されるため、カラムアドレスが入力されるまでには不良カラムアドレスは確定している。従って、本発明ではアクセス速度に対する放電時間の影響は全く生じない。なお、後に入力されるカラムアドレスと、ラッチ回路に保持される電圧レベルとの論理演算により、予備のカラム選択信号を活性化するか否かが決定される。

【0052】次に、図3を用いて第2の実施の形態に係るヒューズ素子のラッチ回路の構成について説明する。図3に示すヒューズ素子のラッチ回路では、図1のNチャネルトランジスタQ2が除去され、ノードPRと共通ノードAが直結されて、一体のノードPRとなり、この一体化されたノードPRと、NチャネルトランジスタQ10乃至Q17からなるヒューズ素子の選択トランジスタとの間に、各1個のNチャネルトランジスタQ20乃至Q27がそれぞれ直列に接続され、また、NチャネルトランジスタQ20乃至Q27のゲートは、制御信号CTLで同時に制御される。

【0053】図1のヒューズ素子のラッチ回路では、制御信号CTLが“L”から“H”に変化する際、ノードPRの電荷と共通ノードAの電荷がオン状態のNチャネルトランジスタQ2を介して共有される。このとき、放電ノードPRの電位はVddであるが、共通ノードAは、選択されたヒューズが切断されている場合には浮遊状態

となるため電位が不定であり、例えばトランジスタのソース/ドレイン接合のリーク電流等を介して接地電位 V_{ss} となるまで放電している可能性がある。

【0054】このような状態でノードPRと共通ノードAの電荷が共有されれば、接地電位 V_{ss} に放電した共通ノードAに引きずられてノードPRの電位が容量結合により一時的に低下し、ヒューズが切断しているにもかかわらず図1のラッチ回路の出力Outが“H”となり、誤動作する可能性がある。図3に示す第2の実施の形態に係るヒューズ素子のラッチ回路は、このような誤動作を回避するために構成されたものである。

【0055】図3に示すヒューズ素子のラッチ回路では、図1のノードPRと共通ノードAとを一体化し、図1に示すNチャネルトランジスタQ2からなる1個のスイッチングトランジスタを、制御信号CTLがゲートに接続されたNチャネルトランジスタQ20乃至Q27からなる8個のスイッチングトランジスタに分割して、それぞれヒューズ素子及び選択トランジスタに対して直列に接続する。このようにすれば、制御信号CTLが“L”から“H”に変化する際、ノードPRと共通ノードAが一体化されているため、選択されたヒューズ素子が切断されていて共通ノードAが浮遊状態にあるとき、共通ノードAの電位低下に伴うノードPRの電位低下を最小にすることができる。

【0056】次に、図4を用いて第3の実施の形態に係るヒューズ素子のラッチ回路の構成について説明する。第3の実施の形態のヒューズ素子のラッチ回路は、第2の実施の形態と同様に、第1の実施の形態における電荷共有による誤動作を回避するよう構成されている。図4に示すヒューズ素子のラッチ回路は、図1に示すヒューズ素子のラッチ回路に比べて単にNチャネルトランジスタQ2が除去され、ノードPRと共通ノードAとが一体化された構成になっている。

【0057】しかし、第3の実施の形態では、図5に示す領域選択信号生成回路の構成が図15に示す従来の領域選択信号生成回路と異なる。図5に示す領域選択信号生成回路では、図15の3入力のANDゲートが4入力のANDゲートに置き換えられ、4入力の1つとして、ヒューズ素子のラッチ回路の制御信号CTLが入力される。

【0058】このようにすれば、制御信号CTLが“H”の場合のみ、領域選択信号B0乃至B7のいずれか1つを“H”にすることができる。すなわち、図1におけるNチャネルトランジスタQ2の役割を、図5における領域選択信号生成回路の4入力ANDゲートの入力の1つに制御信号CTLを用いることにより代替させることができる。なお、図4に示す第3の実施の形態のヒューズ素子のラッチ回路では、ノードPRと共通ノードAとが一体化されているので、先にのべた電荷の共有による誤動作を生じる恐れはない第3の実施の形態に係る

ヒューズ素子のラッチ回路の動作タイミング波形を図6に示す。制御信号CTLが“H”になれば、領域選択信号B0乃至B7のいずれか1つが“H”となり、選択されたヒューズ素子の切断又は導通に従って出力Outの“L”又は“H”が定められる。

【0059】次に、図7を用いて第4の実施の形態に係るヒューズ素子のラッチ回路の構成について説明する。第4の実施の形態に係るヒューズ素子のラッチ回路は、第3の実施の形態に比べて、ノードPRを“H”にプリチャージするPチャネルトランジスタQ1からなる第1のスイッチングトランジスタに対して直列に、PチャネルトランジスタQ1Bからなる第2のスイッチングトランジスタが接続されることに特徴がある。

【0060】PチャネルトランジスタQ1Bのゲートには制御信号PRCが入力される。ここで制御信号PRCは、図8に示すように2段のインバータI8、I9からなる遅延回路1を用いて制御信号CTLを遅延することにより生成される。

【0061】第4の実施の形態に係るヒューズ素子のラッチ回路の制御信号PRCは、制御信号CTLがラッチ回路の活性状態を示す“H”から、ラッチ回路の待機状態を示す“L”に変化する際に流れる貫通電流による消費電力の増加を回避するための制御信号である。図4に示す第3の実施の形態において、制御信号CTLが“H”から“L”に変化すれば、図5のANDゲートを介して領域選択信号B0乃至B7のいずれか1つ（領域選択信号Biと呼ぶ）が“H”から“L”に変化する。

【0062】このとき、図4に示す第3の実施の形態に係るヒューズ素子のラッチ回路では、PチャネルトランジスタQ1は制御信号CTLが“L”になれば直ちに導通するため、領域選択信号Biが“L”に変化するのが遅れれば、その間PチャネルトランジスタQ1と、領域選択信号Biで選択された領域選択トランジスタQj（Q10乃至Q17のいずれか1つ）とを介して、VddからVssに貫通電流が流れることになる。

【0063】これを回避するためには、PチャネルトランジスタQ1Bを介して行われる制御信号PRCによるプリチャージ開始のタイミングを、PチャネルトランジスタQ1を介して行われる制御信号CTLによるプリチャージ開始のタイミングから遅らせるようにすればよい。図7に示す第4の実施の形態に係るヒューズ素子のラッチ回路におけるPチャネルトランジスタQ1Bはこのために設けられたものである。

【0064】制御信号PRCによるプリチャージ開始のタイミングは、CTLが“L”になってから図8に示す領域選択信号生成回路を介して領域選択信号Biが“L”になるまでの遅延時間があればよい。図8に示すAND回路は、CMOS論理ではNAND回路とインバータとの組み合わせで形成することができるので、論理回路2段分（インバータ2段乃至4段）程度の遅延時間

があればよい。

【0065】第4の実施の形態に係るヒューズ素子のラッチ回路の動作タイミング波形を図9に示す。制御信号CTLが“H”になれば領域選択信号B0乃至B7のいずれか1つが“H”となり、PチャネルトランジスタQ1がオフとなる。このときPチャネルトランジスタQ1Bのゲートに入力する制御信号PRCは一定の遅延時間後に立ち上がるため、PチャネルトランジスタQ1Bのオン状態は維持される。

【0066】従って領域選択信号B0乃至B7のいずれか1つにより選択されたヒューズ素子が導通していれば、PチャネルトランジスタQ1のオフ動作（制御信号CTLの立ち上がり）に同期してラッチ回路の出力Outが“H”となる。一定の遅延時間後に、制御信号PRCによりPチャネルトランジスタQ1Bがさらにオフしても、ラッチ回路の出力Outには変化を生じない。一方、ヒューズ素子が切断されていればラッチ回路の出力Outは“L”のままである。

【0067】制御信号CTLが“L”に復帰しPチャネルトランジスタQ1がオン状態になっても、図9に矢示したようにPチャネルトランジスタQ1Bの制御信号PRCは一定の遅延時間後に立ち下がるため、PチャネルトランジスタQ1Bのオフ状態は維持され、選択されたヒューズ素子が導通している場合にVddからVssに流れる貫通電流が阻止される。このとき、ラッチ回路の出力Outは、PチャネルトランジスタQ1Bの制御信号PRCの立ち下がり同期して立ち下がることになる。

【0068】次に、図10、図11を用いて第5の実施の形態に係るヒューズ素子のラッチ回路の構成と動作について説明する。第5の実施の形態では、ノードPRのプリチャージを制御信号PRCを用いて行い、ラッチ回路の活性化を制御信号CTLを用いて行う。制御信号PRCはラッチ回路の待機状態で“L”でありPチャネルトランジスタQ1はオン状態であるから、このときノードPRはVddにプリチャージされる。

【0069】図11のタイミング波形に示すように、制御信号PRCが“H”になりPチャネルトランジスタQ1がオフした後、制御信号CTLを“H”とし、図5に示す領域選択信号生成回路と同一の回路により、ロウアドレスの上位3ビットを用いて領域選択信号B0乃至B7のいずれか1つを“H”とする。このようにして選択されたヒューズ素子が導通していれば、VddにプリチャージされたノードPRはヒューズ素子を介してVssに放電するため“L”となる。

【0070】また、NチャネルトランジスタQ5のゲートに制御信号PRCの“H”が入力されるのでNチャネルトランジスタQ5はオンとなり、NチャネルトランジスタQ4はインバータI1の出力の“H”をゲートに受けてオンとなるので、ラッチ回路の出力OutにはインバータI1とPチャネルトランジスタQ3でラッチされ

た“H”状態が出力される。従ってラッチ回路の出力Outは制御信号CTLに同期して“H”に変化する。

【0071】ヒューズ素子が切断されている場合には、ノードPRはVddにプリチャージされた“H”状態が維持され、また、NチャネルトランジスタQ5のゲートに制御信号PRCの“H”が入力されるので、NチャネルトランジスタQ5はオンとなるが、NチャネルトランジスタQ4は、インバータI1の出力の“L”をゲートに受けてオフとなるので、ラッチ回路の出力OutにはインバータI1とPチャネルトランジスタQ3でラッチされた“L”状態が出力される。

【0072】図10に示すヒューズ素子のラッチ回路は、制御信号CTLを“L”に戻しても制御信号PRCの“H”が維持されていれば、PチャネルトランジスタQ3、NチャネルトランジスタQ4、Q5及びインバータI1からなるラッチ回路によりラッチ回路の出力Outの“H”又は“L”が保持されるので、ヒューズ素子の遮断状態と導通状態のラッチ開始を制御する制御信号CTLの“H”の期間をPRCの“H”の期間より短くすることにより低消費電力化をはかることができる。図10に示すヒューズ素子のラッチ回路において、制御信号PRCを“L”にすればラッチ回路の出力Outは“H”又は“L”の保持状態にかかわらず制御信号PRCに同期して“L”になる。

【0073】以上ヒューズ素子のラッチ回路の構成と動作を中心として、本発明の半導体記憶装置のカラム冗長制御回路について説明した。先に第1の実施の形態で説明した本発明の第1、第2の特徴は、第1の実施の形態のみに限定されるものではなく、次に述べるように第2乃至第5の実施の形態の全てに対して共通な特徴といえることができる。

【0074】すなわち、第2乃至第5の実施の形態においては、複数のロウ領域の不良状態をあらわす複数のヒューズ素子が選択トランジスタを介してノードPRに接続されるので、ラッチ回路は複数のロウ領域に対して1個設ければ良い。このように、従来、ヒューズ素子ごとに設けていたラッチ回路を、不良カラムアドレスの1ビットに対して1つのみにすることによりトランジスタ数が減少し、チップサイズを縮小することができる。

【0075】また、第2乃至第5の実施の形態において、第1の実施の形態と同様に複数のロウ領域を選択する領域選択アドレスとして、ワード線を選択するロウアドレスの上位ビットを用いることができる。

【0076】なお、本発明は上記の実施の形態に限定されることはない。第1乃至第5の実施の形態において、ロウ領域の分割数、カラムアドレス及びロウアドレスのビット数、及び領域選択アドレスとして用いるロウアドレスの上位ビット数等は、全て一例として示すものであり、任意のビット構成に対して本発明が適用可能であることはいうまでもない。例えば、第1乃至第5の実施の

形態において、ヒューズ素子の数はラッチ回路当り8個の場合について説明したが、2のべき乗数のヒューズ素子に対して同様に実施することができる。

【0077】また、第1乃至第5の実施の形態において、ロウ領域の不良状態を記憶する素子としてヒューズを用いたが、必ずしもこれに限定されるものではない。その他の不揮発性記憶素子を同様の目的に使用することができる。その他本発明の要旨を逸脱しない範囲で種々変形して実施することができる。

【0078】

【発明の効果】上述したように本発明は、領域の分割数が多くても回路規模の増大を抑制し、素子数やチップ面積において従来より有利なカラム冗長制御回路を提供することが可能となる。

【図面の簡単な説明】

【図1】第1の実施の形態に係るヒューズ素子のラッチ回路の構成を示す図。

【図2】第1の実施の形態に係るヒューズ素子のラッチ回路の動作を示すタイミング波形図。

【図3】第2の実施の形態に係るヒューズ素子のラッチ回路の構成を示す図。

【図4】第3の実施の形態に係るヒューズ素子のラッチ回路の構成を示す図。

【図5】第3の実施の形態に係る領域選択信号生成回路の構成を示す図。

【図6】第3の実施の形態に係るヒューズ素子のラッチ回路の動作を示すタイミング波形図。

【図7】第4の実施の形態に係るヒューズ素子のラッチ

回路の構成を示す図。

【図8】第4の実施の形態に係る領域選択信号生成回路の構成を示す図。

【図9】第4の実施の形態に係るヒューズ素子のラッチ回路の動作を示すタイミング波形図。

【図10】第5の実施の形態に係るヒューズ素子のラッチ回路の構成を示す図。

【図11】第5の実施の形態に係るヒューズ素子のラッチ回路の動作を示すタイミング波形図。

【図12】従来のヒューズ素子のラッチ回路の構成を示す図。

【図13】従来のカラム冗長制御回路の構成を示すブロック図。

【図14】従来の複数のカラム領域ごとに冗長判定を行うカラム冗長制御回路の構成を示すブロック図。

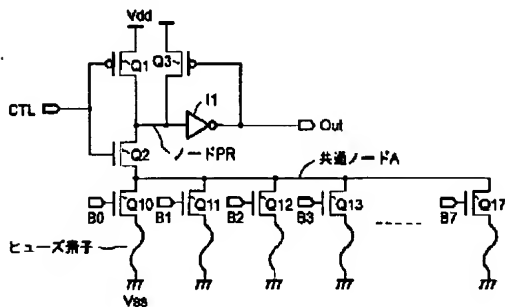
【図15】従来の領域選択信号生成回路の構成を示す図。

【図16】従来の複数のヒューズ素子のラッチ回路の構成を示すブロック図。

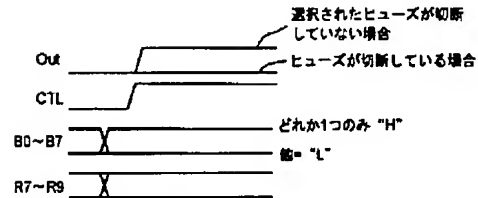
【符号の説明】

- 1…遅延部
- 10…カラムデコーダ
- 20～27…ヒューズラッチ回路
- 30…アドレス比較器
- 40…領域選択信号生成回路
- 50～57…ロウデコーダ
- 60～66…ヒューズラッチ回路群
- 100～107…ロウ領域

【図1】

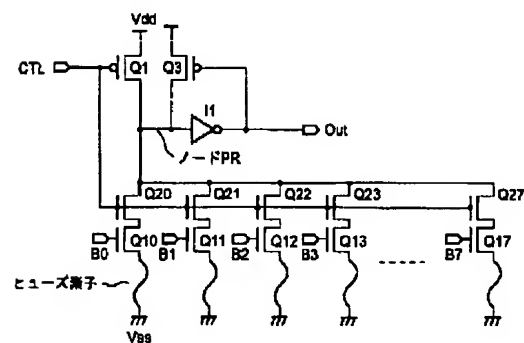
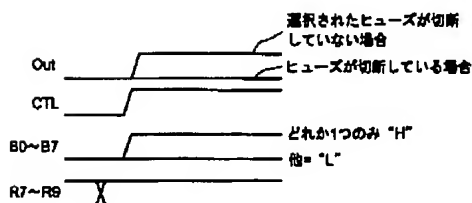


【図2】

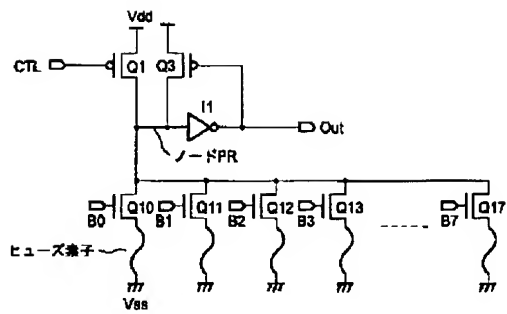


【図3】

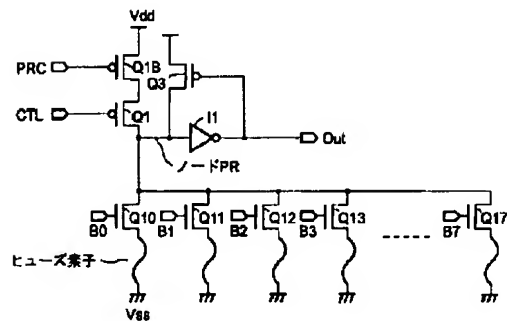
【図6】



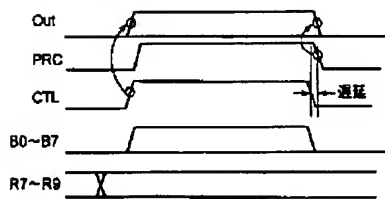
【図4】



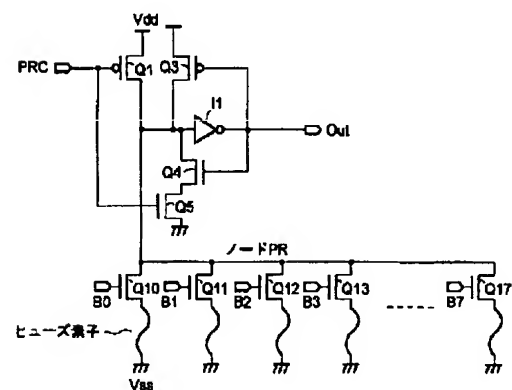
【図7】



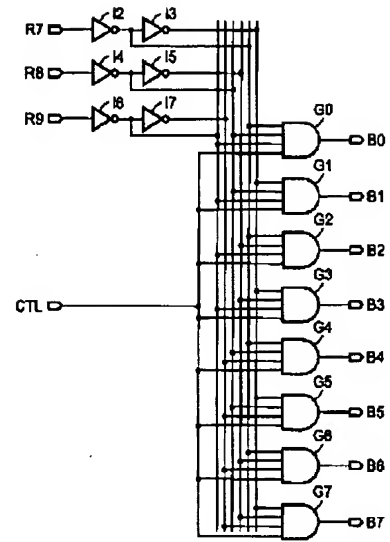
【図9】



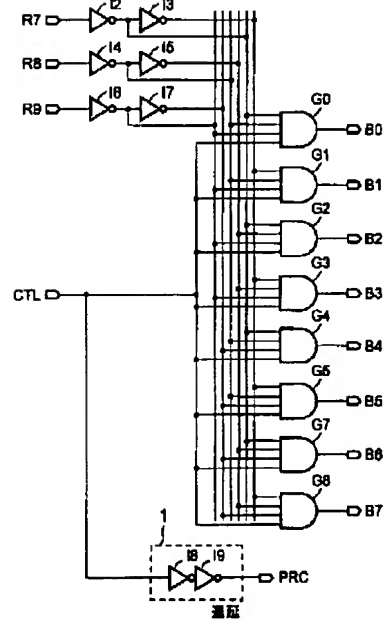
【図10】



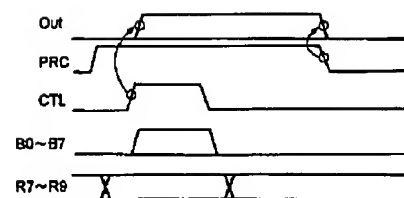
【図5】



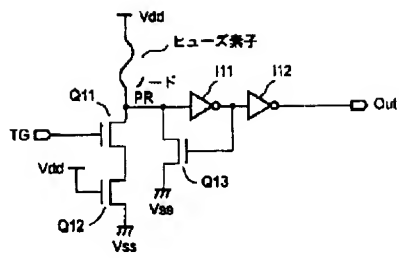
【図8】



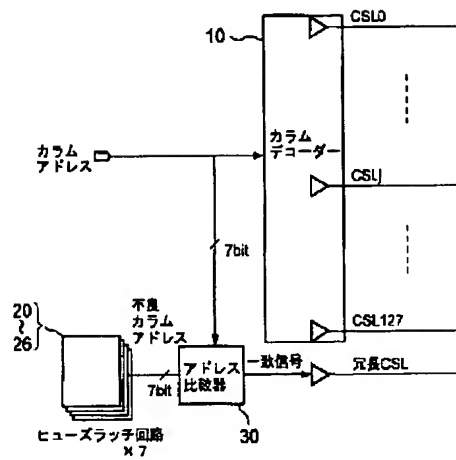
【図11】



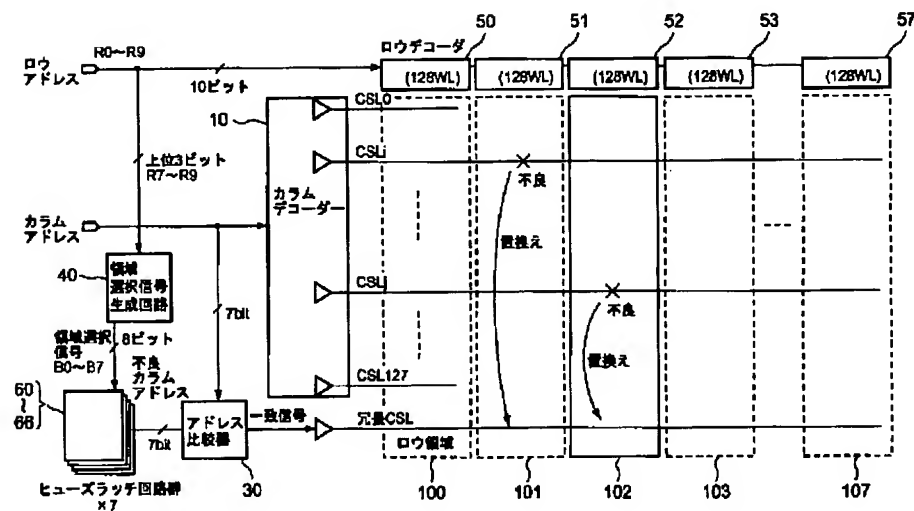
【図12】



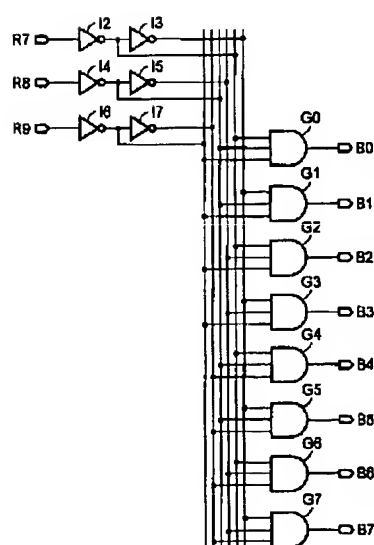
【図13】



【図14】



【図15】



【図16】

